

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-204406

(43)Date of publication of application : 05.08.1997

(51)Int.Cl.

G06F 15/16

G06F 17/14

(21)Application number : 08-011470

(71)Applicant : NEC ENG LTD

(22)Date of filing : 26.01.1996

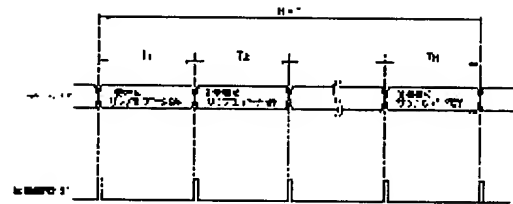
(72)Inventor : ITO NOBUHIRO

(54) DATA PROCESSION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To make firmware programming to be efficient and to make debugging to be efficient because the unnecessary division of a program is eliminated by using a processing where algorithm is established as it is.

SOLUTION: N-pieces of processors are provided in parallel. Input data 11 is divided into data groups T1-TN at every unit time T. The data group Ti is FFT(fast Fourier transformation)-processed in an i-th ((i) is the whole integers of 1-N) processor. The respective processors can execute the same FFT processing for whole data T1-TN by setting the period of $N \times T$ to be more than time when the respective processors can execute FET processing for the repetitive groups T1-TN.



LEGAL STATUS

[Date of request for examination] 22.05.2000

[Date of sending the examiner's decision of rejection] 01.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-204406

(43) 公開日 平成9年(1997)8月5日

(51) Int.Cl.⁶G 0 6 F 15/16
17/14

識別記号

3 7 0

庁内整理番号

F I

G 0 6 F 15/16
15/332

技術表示箇所

3 7 0 N
A

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号

特願平8-11470

(22) 出願日

平成8年(1996)1月26日

(71) 出願人 000232047

日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(72) 発明者 伊藤 信浩

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

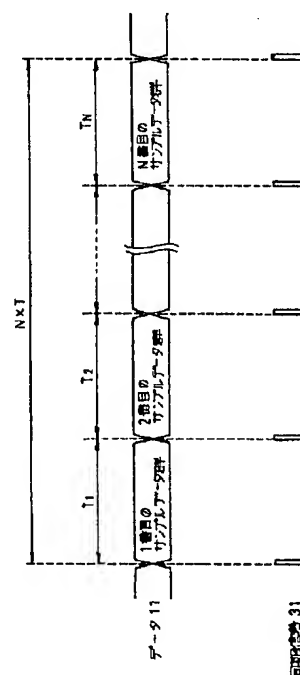
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 データ処理システム

(57) 【要約】

【課題】 プロセッサの処理速度がデータ分析処理時間に満たない場合、プロセッサを複数設けて一連の処理（例えばFFT処理）をプロセッサ毎に分割して、各分割処理を並列に行うが、FFT処理を分割するとプログラミングやデバッグが非効率化する。これを防止する。

【解決手段】 プロセッサをN個並列に設け、入力データ11を単位時間T毎のデータ群T1～TNに分割して、第i（iは1～Nの全整数）プロセッサにてTiのデータ群をFFT処理する。N×Tの期間を各プロセッサの各データ群T1～TNに対するFFT処理可能な時間以上とすることで、全データT1～TNに対して各プロセッサで同一のFFT処理を実行することができる。



【特許請求の範囲】

【請求項1】 入力データを予め定められた処理方式でデータ処理するデータ処理システムであって、前記入力データの所定データ群を前記処理方式に従って処理可能な時間が $N \times T$ （ N は2以上の整数、 T は時間を夫々示す）の第1～第 N のプロセッサを並列に接続し、時間的に順次供給されてくる前記入力データを前記時間 T 以内の所定単位時間毎に区切って得られる前記所定データ群である第1～第 N のデータ群の各々に対して、前記第1～第 N のプロセッサ各々によって前記処理方式に従って夫々同一の処理をなすようにしたことを特徴とするデータ処理システム。

【請求項2】 前記第 i の（ i は1～ N までの全ての整数）プロセッサは、前記 $N \times T$ 時間の入力データである第1～第 N のデータ群をため込むため込み手段と、このため込み手段によりため込まれた第1～第 N のデータ群のうち第 i のデータ群を選択的に取り出して前記処理方式に従った処理を行う処理手段とを有することを特徴とする請求項1記載のデータ処理システム。

【請求項3】 前記処理方式は高速フーリエ変換処理であることを特徴とする請求項1または2記載のデータ処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデータ処理システムに関し、特にディジタル音響信号の分析処理に用いて好適なデータ処理システムに関するものである。

【0002】

【従来の技術】従来のこの種のデータ分析処理方式では、図4に示される様な例えば期間 T 毎に入力されるサンプルデータ群11を、図3に示すように、第1～第 N の直列接続されたプロセッサ21～2 N の第1番目のプロセッサ21へ入力する。そして、この第1番目のプロセッサ21において、入力されたサンプルデータ群（期間 T 内の）11に対して、実行すべき分析処理を N 個の処理に分割したうちの1番目の処理を実行し、その処理結果データ12を2番目のプロセッサ22へ出力するようになっている。同様に、この2番目のプロセッサ22においては、この入力された処理結果データ12に対して、実行すべき分析処理を N 個の処理に分割したうちの2番目の処理を実行し、その処理結果13を3番目のプロセッサへ出力するものである。

【0003】以下同様にして、 N 番目のプロセッサ2 N において、分析処理を N 個に分割したうちの N 番目の処理を実行し、分析処理結果データ2 N を出力することにより、期間 T 内のサンプルデータ群に対して全ての分析処理を実施し完了する方式となっている。

【0004】プロセッサ21～2 N の各1個の能力では、期間 T 内のサンプルデータ群に対して期間 T 内で分析処理を完了できないことから、一連の分析処理を時系

列的に N 個の第1～第 N の処理に分割して、直列接続された第1～第 N のプロセッサ21～2 N により順次時系列的に第1～第 N の処理を夫々実施することで、プロセッサ1個当りの処理負荷の軽減を図っているのである。

【0005】この場合のサンプルデータ群の期間 T と分析処理時間との関係を示すと、

$T < \text{分析処理時間} \dots (1)$

であり、また T と N 個に分割された各処理時間の関係を示すと、

10 $T > N \text{個に分割された各処理時間} \dots (2)$

となる。

【0006】上記(1)式においては、分析処理時間がサンプルデータ群の時間 T より大となっているために、実現不可能である。ところが、図3のブロックで説明した如く、分析処理を N 個に分割することで、(2)式が満足されて分析処理が実現可能となるのである。

【0007】また、特開昭59-30168号公報には、FFT（高速フーリエ変換）処理を高速になすべく、プロセッサを2台並列に接続し、FFT処理を図3の例と同様に例えば、前半と後半の2つに分割し、前半を1台のプロセッサで、後半を後のプロセッサで分割並列処理する技術が開示されている。

【0008】

【発明が解決しようとする課題】この種の従来の分析処理方式では、複数（ N 個）のプロセッサを直列または並列に接続し分析処理を N 個に分割し、各々のプロセッサで実施しているため、FFT、ディジタルフィルタ等のアルゴリズムが確立されている処理をわざわざ N 個に分割する必要がある。これは処理アルゴリズムの分割再構築（汎用プログラムを使用できない）を意味する他、処理分割による演算量の増加及びデータ入出力の付加による演算スピードの低下という問題点がある。

【0009】本発明の目的は、分析処理を分割することなく既にアルゴリズムの確立されている処理（汎用プログラム）をそのまま使用できる様にしたデータ処理システムを提供することである。

【0010】

【課題を解決するための手段】本発明によれば、入力データを予め定められた処理方式でデータ処理するデータ処理システムであって、前記入力データの所定データ群を前記処理方式に従って処理可能な時間が $N \times T$ （ N は2以上の整数、 T は時間を夫々示す）の第1～第 N のプロセッサを並列に接続し、時間的に順次供給されてくる前記入力データを前記時間 T 以内の所定単位時間毎に区切って得られる前記所定データ群である第1～第 N のデータ群の各々に対して、前記第1～第 N のプロセッサ各々によって前記処理方式に従って夫々同一の処理をなすようにしたことを特徴とするデータ処理システムが得られる。

【0011】

【発明の実施の形態】本発明の作用について述べる。本発明では、分析処理を複数に分割するのではなく、全てのプロセッサは同一の分析処理を実行するようにしておき、その代りに入力データを分析処理可能な時間以内の所定時間に相当するデータ群に夫々分割し、これ等分割データ群を各プロセッサで並列に分析処理するものである。

【0012】以下に図面を用いて本発明の実施例について説明する。

【0013】図1は本発明の実施例のシステムブロック図である。図1において、入力データ11は第1～第Nの互いに並列接続されたプロセッサ21～2Nへ夫々共通に入力される。各プロセッサ21～2Nの処理結果は共通とされて分析処理結果データ12として導出される。

【0014】プロセッサ21～2Nの各々は、同期信号31に同期して入力データをため込むため込み部（バッファ）101と、このため込み部101からの読出し出力データに対して一連のFFT処理を行うFFT処理部102と、このFFT処理データを外部へ出力する出力部103とからなっている。尚、各プロセッサ21～2NのFFT処理部102の全ては、同一の一連のFFT処理を行うための処理プログラムにより動作するものとする。

【0015】図2は図1のシステムブロックの動作を示す

$$N > \text{プロセッサ処理時間 (入力, FFT, 出力)} / T \quad \cdots (3)$$

を満足する整数（切上げにて求める）とする。また、 $N \times T$ の値もこれにより定まることになる。

【0019】尚、ため込み部101においては $T1 \sim TN$ の全てのデータをため込んでいるが、自プロセッサが処理するサンプルデータ群のみを選択的に取り込んでため込むようにしても良い。

【0020】また、上記実施例では、FFT処理を説明したが、データの積分処理やデジタルフィルタリング処理等の種々の処理が適用可能である。

【0021】

【発明の効果】以上説明したように本発明によれば、複数のプロセッサを並列に接続することで分析処理の分割をなくし、アルゴリズムの確立されている処理（汎用プログラム）をそのまま使用できるため、従来のようにアルゴリズムを再構築したり、それに伴う処理能力の低下※

※すタイムチャートである。図2において、入力データ11は単位時間 T ($T1 \sim TN$) 毎に区切られて、第1～第Nのサンプルデータ群として表示されており、従ってこれ等第1～第Nのサンプルデータ群の期間は $N \times T$ となる。

【0016】この期間 $N \times T$ は、各プロセッサ21～2Nが期間 T の各サンプルデータ群について一連のFFT処理を実行可能な期間（以上）であるものとする。これ等サンプルデータ群の区切りを示すために同期信号31が各プロセッサ21～2Nへ供給されている。

【0017】 T サンプル時間毎に入力される $N \times T$ 時間分のデータ11を並列に接続されている1番目のプロセッサ21～N番目のプロセッサ2Nの各ため込み部101で夫々ため込む。1番目のプロセッサ21では、 $T1$ 番目のサンプルデータに対するFFTを、N番目のプロセッサ2Nでは TN 番目のサンプルデータに対するFFTを各FFT処理部102にて夫々実施し、分析処理結果データ12を1番目のプロセッサ21から順次N番目のプロセッサ2Nまで各出力部103により夫々出力する。尚、各プロセッサでは、同期信号31により T 時間が経過したかを認識でき、この数をカウントすることで $N \times T$ サンプル時間を計測すると共に、サンプルデータの番号（順番）に対しFFT処理を実施する。

【0018】この場合、並列接続されるプロセッサの数 N は、

※を防げるという効果がある。また、アルゴリズムの確立されている処理をそのまま使用できるため、ファームウェアプログラミングの効率化を図れる他、プログラムの不必要な分割がなくなることからデバッグの効率化も図れる。

【図面の簡単な説明】

【図1】本発明の実施例のブロック図である。

【図2】図1に示すブロックのタイミング図である。

【図3】従来のブロック図である。

【図4】図3に示すブロックのタイミング図である。

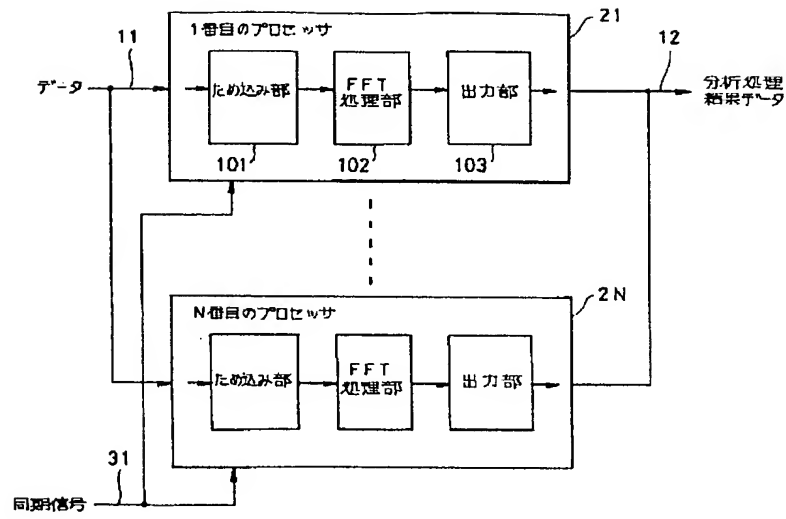
【符号の説明】

21～2N プロセッサ
101 ため込み部
102 FFT処理部
103 出力部

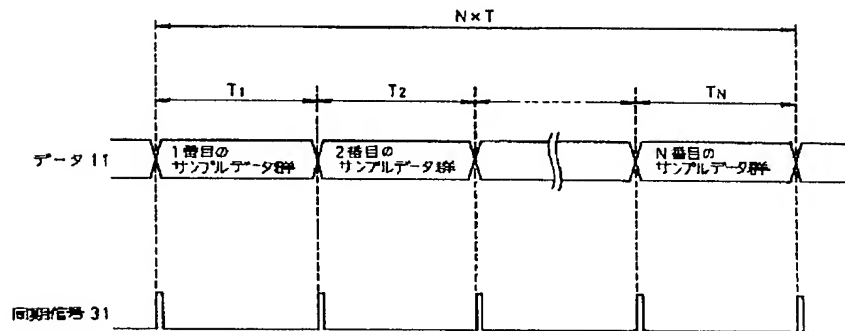
【図4】



【図1】



【図2】



【図3】

